

Evaluation de la fiabilité des HEMTs GaN sur substrat silicium à grille nanométrique

Laboratoire d'accueil : Laboratoires IMS et IEMN

Contexte du sujet :

Les transistors à haute mobilité électronique (HEMT) à base de GaN sont les meilleurs candidats pour la réalisation de composants et circuits aux performances en puissance élevées à haute fréquence (> 10GHz). La plupart des résultats sont obtenus pour des composants réalisés sur un substrat SiC. Les technologies les plus matures basées sur les HEMTs AlGaN/GaN ont des densités de puissance microonde qui sont au moins un ordre de grandeur supérieur à celles des transistors GaAs ou InP. Depuis peu, les HEMTs AlInN/GaN apparaissent prometteurs pour des fréquences supérieures à celles de la bande Ka.

Cependant, il y a une apparente contradiction entre la disponibilité commerciale de technologies HEMT AlGaN/GaN qualifiées et le manque de compréhension fine des mécanismes de défaillance et de cohérence des données de fiabilité. Si des procédés technologiques sont optimisés pour les filières HEMTs GaN sur SiC pour des applications de puissance dans le domaine RF, il n'en est pas de même pour cette voie vers la montée en fréquence. D'après l'état de l'art, la fiabilité associée d'une part à l'utilisation d'un substrat silicium et d'autre part à la lithographie d'une grille ultra courte reste encore peu étudiée.

Descriptif du sujet :

Le sujet de thèse proposé par le laboratoire IMS en collaboration avec le laboratoire IEMN porte sur l'évaluation de la fiabilité de la technologie HEMT AlGaN/GaN et InAlN/GaN sur substrat silicium développée conjointement par le fabricant OMMIC et l'IEMN. Cette technologie destinée à des applications dans le domaine millimétrique comporte des spécificités technologiques notamment une longueur de grille inférieure à 100nm qui implique des contraintes sur les épaisseurs et la nature des couches épitaxiales de la zone active. En particulier, il faut une épaisseur de la couche de barrière inférieure à 10nm pour respecter le rapport d'aspect du transistor en alliant une bonne densité de courant N_s dans le canal. De plus ce type d'épitaxie peut entraîner une augmentation des courants de fuite de grille.

Dans la démarche d'évaluation de la fiabilité intrinsèque des dispositifs, la première étape consiste à caractériser les effets parasites électriques de fonctionnement potentiellement à l'origine d'une réduction des performances. La seconde étape est l'identification des mécanismes de dégradation des HEMTs AlGaN/GaN.

L'identification des effets parasites nécessite une caractérisation électrique approfondie par des techniques complémentaires réalisées à l'IMS et à l'IEMN dont les objectifs sont :

- La compréhension des phénomènes physiques qui régissent le transport électronique dans le composant. Une attention particulière sera accordée à l'évaluation de la stabilité du contact Schottky et des mécanismes de transport contribuant au courant de grille.
- L'identification des défauts intrinsèques localisés dans le volume et aux interfaces et de leur impact sur les performances statiques et dynamiques des transistors étudiés.

La seconde partie de ce travail de thèse sera consacrée à la caractérisation et à la modélisation des mécanismes de dégradation induits par des tests de vieillissement accéléré réalisés au laboratoire.

Deux types de tests de vieillissement accéléré seront entrepris pour en cerner les facteurs d'accélération :

-Des tests en contraintes électriques échelonnées appliquées sur plaque sur des transistors élémentaires avec et sans grille permettront de définir les conditions limites de fonctionnement avant dégradation catastrophique.

-Des tests de vieillissement accéléré longue durée sous contraintes électrique et thermique (HTOL et HTRB) de dispositifs encapsulés permettront de modéliser les dérives temporelles des paramètres caractéristiques en fonction des facteurs d'activation.

Préalablement à la mise en œuvre des tests de longue durée, il sera nécessaire de réaliser une analyse statistique de la dispersion des paramètres électriques du lot de composant étudiés. Il y sera fait référence lors de l'interprétation des résultats afin de conclure sur un mécanisme de dégradation générique.

Les dispositifs étudiés seront des structures de tests de différentes variantes technologiques et seront extraits de projets liés à des collaborations contractuelles entre OMMIC et IEMN

Profil du candidat recherché : Etudiant en Master 2 recherche ou élève ingénieur dans les domaines de la micro-nanoélectronique.

Date de démarrage : 1 octobre 2013

Contact : directeurs de thèse

Nathalie MALBERT : nathalie.malbert@ims-bordeaux.fr

Jean Claude De JAEGER : jean-claude.dejaeger@iemn.univ-lille1.fr